

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-111050

(P2001-111050A)

(43) 公開日 平成13年4月20日 (2001.4.20)

(51) Int.Cl.⁷

識別記号

F I

テームト^{*}(参考)H 0 1 L 29/78
21/336

H 0 1 L 29/78

6 5 2 H

6 5 2 K

6 5 3 A

6 5 8 A

審査請求 未請求 請求項の数3 O L (全 9 頁)

(21) 出願番号

特願平11-290765

(22) 出願日

平成11年10月13日 (1999. 10. 13)

(71) 出願人 000003609

株式会社豊田中央研究所

愛知県愛知郡長久手町大字長湫字横道41番
地の1

(72) 発明者 服部 佳晋

愛知県愛知郡長久手町大字長湫字横道41番
地の1 株式会社豊田中央研究所内

(72) 発明者 鈴木 隆司

愛知県愛知郡長久手町大字長湫字横道41番
地の1 株式会社豊田中央研究所内

(74) 代理人 100090387

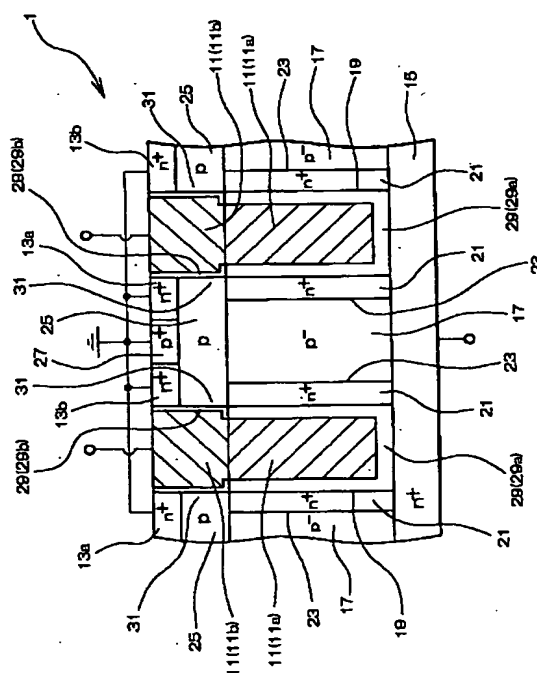
弁理士 布施 行夫 (外2名)

(54) 【発明の名称】 縦型半導体装置

(57) 【要約】

【課題】 ON抵抗を下げつつ、高耐圧にすることができる縦型MOS電界効果トランジスタを提供することである。

【解決手段】 n'型ドリフト領域21中のn型不純物濃度を高くすることにより、ON抵抗を下げている。一方、OFFにおいて、n'型ドリフト領域21中には、接合部23から延びてきた空乏層およびトレンチ19の側面から延びてきた空乏層が広がる。また、p'型シリコン単結晶領域17中には、接合部23から延びてきた空乏層が広がる。以上により、n'型ドリフト領域21およびp'型シリコン単結晶領域17を完全空乏化できるので、縦型MOS電界効果トランジスタ1によれば、耐圧を高くすることができる。



【特許請求の範囲】

【請求項 1】 縦型半導体装置であって、

第 1 導電型の第 1 半導体領域、トレンチ、第 1 導電型の第 2 半導体領域および第 2 導電型の第 3 半導体領域を備え、

前記第 1 半導体領域には、チャネルが形成され、

前記第 2 半導体領域は、第 1 導電型の不純物が低濃度であり、

前記第 3 半導体領域は、前記トレンチと前記第 2 半導体領域との間に位置し、

前記第 3 半導体領域は、前記第 2 半導体領域と接合し、

前記第 3 半導体領域は、キャリアが流れる経路となり、

前記第 3 半導体領域は、第 2 導電型の不純物が高濃度である、縦型半導体装置。

【請求項 2】 請求項 1 において、

第 2 導電型の他の半導体領域を備え、

前記他の半導体領域は、前記第 2 半導体領域と接合し、

前記他の半導体領域は、第 2 導電型の不純物が低濃度である、縦型半導体装置。

【請求項 3】 請求項 1 または 2 において、

埋め込み電極および絶縁層を備え、

前記埋め込み電極は、前記トレンチに埋め込まれており、

前記絶縁層は、前記埋め込み電極と前記トレンチの内壁との間に形成され、

前記絶縁層の誘電率は、前記第 3 半導体領域に蓄積層が形成可能な値である、縦型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えば、パワーエレクトロニクスに用いることができる縦型半導体装置に関する。

【0002】

【背景技術および発明が解決しようとする課題】 縦型 MOS (Metal Oxide Semiconductor) 電界効果トランジスタは、例えば、家庭用電気機器や自動車のモータの電力変換や電力制御に使われる半導体素子の一種である。縦型 MOS 電界効果トランジスタは、電力用に使用されるので、高耐圧である必要がある。また、縦型 MOS 電界効果トランジスタの低消費電力化のためには、縦型 MOS 電界効果トランジスタの ON 動作時の抵抗を下げる必要がある。このように、縦型 MOS 電界効果トランジスタの特性としては、高耐圧で、かつ ON 抵抗が低い、ことが求められる。

【0003】 ところで、縦型 MOS 電界効果トランジスタにおいて、ドリフト領域に形成された空乏層により、その絶縁破壊を防いでいる。縦型 MOS 電界効果トランジスタを高耐圧にするには、空乏層の延びを大きくする必要がある。このためには、ドリフト領域の不純物濃度を低くしなければならない。

【0004】 しかし、ドリフト領域の不純物濃度を低くすると、ドリフト領域の抵抗が上昇し、それにより、縦型 MOS 電界効果トランジスタの ON 抵抗が上昇する。

【0005】 このように、縦型 MOS 電界効果トランジスタにおいては、高耐圧にすると ON 抵抗が上昇し、ON 抵抗を下げようとする耐圧が低下するという、耐圧と ON 抵抗との間にはトレードオフの関係がある。

【0006】 本発明の目的は、ON 抵抗を下げつつ、高耐圧にすることができる縦型半導体装置を提供することである。

【0007】

【課題を解決するための手段】 本発明は、縦型半導体装置であって、第 1 導電型の第 1 半導体領域、第 1 導電型の第 2 半導体領域、トレンチおよび第 2 導電型の第 3 半導体領域を備え、前記第 1 半導体領域には、チャネルが形成され、前記第 2 半導体領域は、第 1 導電型の不純物が低濃度であり、前記第 3 半導体領域は、前記トレンチと前記第 2 半導体領域との間に位置し、前記第 3 半導体領域は、前記第 2 半導体領域と接合し、前記第 3 半導体領域は、キャリアが流れる経路となり、前記第 3 半導体領域は、第 2 導電型の不純物が高濃度である、縦型半導体装置である。

【0008】 上記構成の本発明にかかる縦型半導体装置によれば、ON 抵抗を下げつつ、高耐圧にすることができる。

【0009】 まず、ON 抵抗を低減できることを説明する。本発明において、第 3 半導体領域はキャリアが流れる経路である。第 3 半導体領域における第 2 導電型の不純物は高濃度なので、第 3 半導体領域の抵抗を小さくすることができる。よって、本発明によれば、縦型半導体装置の ON 抵抗を下げるができる。

【0010】 次に、高耐圧にできることを説明する。第 3 半導体領域は、トレンチと第 2 半導体領域との間に位置している。また、第 3 半導体領域は、第 2 半導体領域と接合している。このため、縦型半導体装置の OFF 動作時において、第 3 半導体領域には、ゲートの作用によりトレンチの壁面から延びてくる空乏層および上記接合から延びてくる空乏層が広がる。よって、第 3 半導体領域における第 2 導電型の不純物は高濃度であるが、第 3 半導体領域に空乏層を広げることができる。一方、第 2 半導体領域は、第 1 導電型の不純物が低濃度なので、上記接合からの空乏層が広がりやすい。

【0011】 以上のように、本発明によれば、第 2 半導体領域および第 3 半導体領域に空乏層を広げることができる。

【0012】 本発明において、上記各半導体領域の不純物濃度および寸法を所定の条件にすれば、第 2 半導体領域および第 3 半導体領域の完全空乏化が可能となる。これにより、縦型半導体装置の高耐圧化ができる。

【0013】 本発明は、次の構成を加えることもでき

10

20

30

40

50

る。すなわち、本発明は、第2導電型の他の半導体領域を備え、前記他の半導体領域は、前記第2半導体領域と接合し、前記他の半導体領域は、第2導電型の不純物が低濃度である、縦型半導体装置である。

【0014】上記構成を加えた本発明によれば、他の半導体領域と第2半導体領域との接合から形成される空乏層も、第2半導体領域に広がるので、第2半導体領域における空乏層の広がりをより大きくすることができる。また、他の半導体領域は第2導電型の不純物が低濃度なので、上記接合から形成される空乏層は、他の半導体領域にも広がる。よって、第2半導体領域、第3半導体領域および他の半導体領域を全て空乏化することができ、縦型半導体装置を高耐圧にすることができる。

【0015】なお、他の半導体領域は、第3半導体領域と同じようにキャリアが流れる経路となる。これによれば、縦型半導体装置のON抵抗をより下げることが可能となる。

【0016】本発明は、次の構成を加えることもできる。すなわち、本発明は、埋め込み電極および絶縁層を備え、前記埋め込み電極は、前記トレンチに埋め込まれており、前記絶縁層は、前記埋め込み電極と前記トレンチの内壁との間に形成され、前記絶縁層の誘電率は、前記第3半導体領域に蓄積層が形成可能な値である、縦型半導体装置である。

【0017】上記構成を加えた本発明によれば、第3半導体領域に蓄積層を形成することが可能となるので、ON抵抗をさらに下げることができる。ON抵抗を下げることを説明の前に、まず、蓄積層について説明する。

【0018】蓄積層とは、MOS構造のゲート作用により、第2導電型の半導体領域の絶縁層近傍に、第2導電型のキャリアが集まることにより形成された層のことである。例えば、半導体領域がn型の場合、蓄積層には、n型のキャリアが集まっている。また、半導体領域がp型の場合、蓄積層には、p型のキャリアが集まっている。

【0019】本発明にかかる縦型半導体装置に備えられる上記絶縁層の誘電率によれば、第3半導体領域に蓄積層が形成可能となる。蓄積層は、本来の第3半導体領域よりも抵抗が小さいので、第3半導体領域に蓄積層を形成することができれば、ON抵抗をより下げることができる。

【0020】上記絶縁層としては、一般にシリコン酸化層が用いられる。なお、シリコン酸化層よりも誘電率の高いシリコン窒化層、さらには高誘電率膜であるSTO(SrTiO_3)膜やBST(BaSrTiO_3)膜を用いることにより、より蓄積層のキャリア濃度を増加させることができ、ON抵抗の低減が図れる。

【0021】

【発明の実施の形態】 【第1実施形態】

【デバイスの構造】図1は、本発明の第1実施形態にかかる縦型MOS電界効果トランジスタ1の断面図である。縦型MOS電界効果トランジスタ1は、縦型半導体装置の一例である。縦型MOS電界効果トランジスタ1は、n⁺型ドレイン領域15、n⁺型ソース領域13a、13bおよび埋め込み電極11を含む。

【0022】n⁺型ドレイン領域15は、シリコン基板に形成されている。n⁺型ドレイン領域15上には、所定の間隔で、p⁺型シリコン単結晶領域17が位置している。p⁺型シリコン単結晶領域17は、第2半導体領域の一例である。p⁺型シリコン単結晶領域17の幅としては、例えば、2~4 μm である。p⁺型シリコン単結晶領域17のp型不純物濃度としては、例えば、 $1\text{E}15\sim1\text{E}16/\text{cm}^3$ である。p⁺型シリコン単結晶領域17の寸法およびp型不純物濃度は、p⁺型シリコン単結晶領域17を完全空乏化できる数値が選択される。

【0023】n⁺型ドレイン領域15上であって、p⁺型シリコン単結晶領域17間には、トレンチ19が位置している。

【0024】n⁺型ドレイン領域15上であって、トレンチ19とp⁺型シリコン単結晶領域17との間には、n⁺型ドリフト領域21が位置している。n⁺型ドリフト領域21は、p⁺型シリコン単結晶領域17と接合している。この接合を接合部23とする。また、n⁺型ドリフト領域21は、トレンチ19の側面と接触している。

【0025】n⁺型ドリフト領域21は、第3半導体領域の一例である。n⁺型ドリフト領域21の幅としては、例えば、0.1~0.5 μm である。n⁺型ドリフト領域21のn型不純物濃度としては、例えば、 $1\text{E}17\sim1\text{E}18/\text{cm}^3$ である。n⁺型ドリフト領域21の寸法およびn型不純物濃度は、n⁺型ドリフト領域21を完全空乏化できる数値が選択される。

【0026】トレンチ19間であって、n⁺型ドリフト領域21およびp⁺型シリコン単結晶領域17上には、p型ボディ領域25が位置している。p型ボディ領域25は、第1半導体領域の一例である。p型ボディ領域25のうち、トレンチ19の近傍に位置する部分を領域31とする。

【0027】n⁺型ソース領域13a、13bは、トレンチ19間であって、p型ボディ領域25上に位置している。n⁺型ソース領域13a、13bは、互いに間隔を設けて形成されている。n⁺型ソース領域13a、13bは、それぞれ、トレンチ19と隣接している。

【0028】n⁺型ソース領域13aとn⁺型ソース領域13bとの間であって、p型ボディ領域25上には、p⁺型ボディコンタクト領域27が位置している。

【0029】埋め込み電極11は、トレンチ19に埋め込まれている。トレンチ19と埋め込み電極11の間には、シリコン酸化層29が形成されている。埋め込み電極11は、埋め込み電極11aおよび埋め込み電極1

1bを含む。また、シリコン酸化層29は、シリコン酸化層29aおよびシリコン酸化層29bを含む。

【0030】埋め込み電極11aおよびシリコン酸化層29aは、p⁻型シリコン単結晶領域17とp型ボディ領域25との境界より下に位置している。シリコン酸化層29aの厚みは、n⁺型ドレイン領域15と埋め込み電極11との電位差に耐えうる値が選択される。例えば、200V耐圧の場合は、1 μ mである。

【0031】一方、埋め込み電極11bおよびシリコン酸化層29bは、p⁻型シリコン単結晶領域17とp型ボディ領域25との境界より上に形成されている。シリコン酸化層29bはゲート酸化膜として機能する。このため、シリコン酸化層29bの厚みは、要求されるしきい値電圧に応じて選択される。一般的には、0.1~0.2 μ m程度である。

【0032】{デバイスの動作}次に、縦型MOS電界効果トランジスタ1の動作を説明する。まず、縦型MOS電界効果トランジスタ1のON動作から説明する。

【0033】n⁺型ドレイン領域15には、正電圧が印加される。n⁺型ソース領域13a、13bおよびp⁺型ボディコンタクト領域27は、接地される。この状態において、埋め込み電極11に正電圧を印加すると、p型ボディ領域25中の電子が、領域31に集まり、n型チャネルが形成される。これにより、n⁺型ソース領域13a、13bから供給された電子は、n型チャネル、n⁺型ドリフト領域21を流れ、n⁺型ドレイン領域15に到達する。すなわち、縦型MOS電界効果トランジスタ1は、n⁺型ドレイン領域15からn⁺型ソース領域13a、13bへ電流を流す動作をする。

【0034】縦型MOS電界効果トランジスタ1によれば、ON動作時の抵抗を下げるができる。すなわち、n型ドリフト領域21のn型不純物濃度は、高濃度なので、n⁺型ドリフト領域21の抵抗は低くなる。したがって、その分だけ、縦型MOS電界効果トランジスタ1のON動作時の抵抗を下げるができる。このように、縦型MOS電界効果トランジスタ1によれば、ON動作時の抵抗を下げるができるので、縦型MOS電界効果トランジスタ1の消費電力を下げるが可能となる。この効果は、後で説明する他の実施形態でも生じる。

【0035】次に、縦型MOS電界効果トランジスタ1のOFF動作を説明する。埋め込み電極11を正電圧から接地にすると、領域31のn型チャネルはなくなる。これにより、縦型MOS電界効果トランジスタ1は、n⁺型ドレイン領域15からn⁺型ソース領域13a、13bへ電流を流さない動作をする。

【0036】パワーMOS電界効果トランジスタ1がOFFのとき、ドレインに正の電圧が加えられると、その電圧の増加に伴い空乏層が、p⁻型シリコン単結晶領域17およびn⁺型ドリフト領域21中に広まっていく。

つまり、p⁻型シリコン単結晶領域17中には、接合部23から延びてきた空乏層が広がる。n⁺型ドリフト領域21中には、接合部23から延びてきた空乏層およびMOSのゲート作用によりトレンチ19の側面から延びてきた空乏層が広がる。

【0037】縦型MOS電界効果トランジスタ1によれば、耐圧は、n⁺型ドリフト領域21およびp⁻型シリコン単結晶領域17を完全空乏化することによって得られる。n⁺型ドリフト領域21は、接合部23から延びてきた空乏層およびトレンチ19の側面から延びてきた空乏層が広がる。n⁺型ドリフト領域21は、n型不純物濃度とその幅を適切に設定すれば、完全空乏化することができる。一方、p⁻型シリコン単結晶領域17中には、接合部23から延びてきた空乏層が広がる。p⁻型シリコン単結晶領域17中のp型不純物濃度は、p⁻型シリコン単結晶領域17を完全空乏化することができるように、低い値に設定される。

【0038】このように、縦型MOS電界効果トランジスタ1によれば、n⁺型ドリフト領域21およびp⁻型シリコン単結晶領域17を完全空乏化することによって、耐圧を高くすることができる。この効果は、後で説明する他の実施形態でも生じる。

【0039】{デバイスの製造方法}次に、縦型MOS電界効果トランジスタ1の製造工程を説明する。図3、図4および図5は、これを説明するための工程図である。

【0040】図3(A)に示すように、n⁺型ドレイン領域15を含むシリコン基板を準備する。ドレイン領域15上に例えば、エピタキシャル成長により、厚さ10~15 μ mのp⁻型シリコン単結晶領域17を形成する。

【0041】次に、公知の方法を用いてp型ボディ領域25を形成する。さらに、p⁻型シリコン単結晶領域17とp型ボディ領域25を選択的にエッチングし、所定の間隔でトレンチ19を形成する。トレンチ19はn⁺型ドレイン領域15に到達している。

【0042】図3(B)に示すように、トレンチ19に薄い酸化膜33を形成し、その後、リン酸ガラス(PSG: Phosphosilicate glass)膜35をCVD法によりトレンチ19に埋め込む。

【0043】図3(C)に示すように、その後、アニール処理を行い、p⁻型シリコン単結晶領域17のうち、トレンチ19近傍にn⁺型ドリフト領域21を形成する。n⁺型ドリフト領域21の寸法およびn型不純物濃度は、埋め込むPSG膜35のリン濃度、トレンチ19側壁の酸化膜33の厚み、アニール温度によって制御することができる。

【0044】図4(A)に示すように、公知の方法を用いて、埋め込んだPSG膜35と酸化膜33とを取り除く。

【0045】図4(B)に示すように、例えば、熱酸化により、トレンチ19の内壁に、厚さ約 $1\mu\text{m}$ のシリコン酸化層29aを形成する。次に、例えば、CVD法により、トレンチ19が埋まるように、厚さ $0.5\sim 1.5\mu\text{m}$ の n^+ 型ポリシリコン層37を形成する。

【0046】図4(C)に示すように、公知の方法を用いて、ポリシリコン層37およびシリコン酸化層29aをエッチバックすることにより、p型ボディ領域25と p^- 型シリコン単結晶領域17との境界より下のみ、ポリシリコン層37およびシリコン酸化層29aが残るようにする。

【0047】図5(A)に示すように、例えば、熱酸化により、トレンチ19のうち露出している内壁に、厚さ $0.1\mu\text{m}$ 程度のシリコン酸化層29bを形成する。

【0048】図5(B)に示すように、例えば、フォトリソグラフィとエッチングにより、埋め込み電極11a上のシリコン酸化層29bを除去する。

【0049】次に、例えば、CVD法により、トレンチ19が埋まるように、ポリシリコン層を形成し、その後、このポリシリコン層を、エッチバックすることにより、図5(C)に示すように、トレンチ19内だけにポリシリコン層が残るようにする。このポリシリコン層が埋め込み電極11bとなる。

【0050】図1に示すように、公知の方法を用いてp型ボディ領域25中に、 n^+ 型ソース領域13a、13bおよび p^+ 型ボディコンタクト領域27を形成する。以上の工程により、縦型MOS電界効果トランジスタ1が完成する。

【0051】後の実施形態にかかる縦型MOS電界効果トランジスタも、縦型MOS電界効果トランジスタ1の製造方法と同様の方法を用いて作製することができる。

【0052】なお、第1実施形態にかかる縦型MOS電界効果トランジスタ1における各領域の導電型は、逆の導電型でもよい。これは、後で説明する他の実施形態でも言えることである。

【0053】また、第1実施形態は、縦型MOS電界効果トランジスタである。本発明はこれに限定されず、他の縦型半導体装置にも適用することができる。これは、後で説明する他の実施形態でも言えることである。

【0054】[第2実施形態]

{デバイスの構造} 図2は、本発明の第2実施形態にかかる縦型MOS電界効果トランジスタ3の断面図である。図1に示す第1実施形態にかかる縦型MOS電界効果トランジスタ1と同等の機能を有する部分には、同一符号を付してある。縦型MOS電界効果トランジスタ3が縦型MOS電界効果トランジスタ1と相違する部分を説明し、同じ部分については説明を省略する。

【0055】縦型MOS電界効果トランジスタ3は、 n^- 型シリコン単結晶領域39を備えている。 n^- 型シリコン単結晶領域39は、 p^- 型シリコン単結晶領域17と

n^+ 型ドレイン領域15との間に位置している。 n^- 型シリコン単結晶領域39は、 p^- 型シリコン単結晶領域17と接合している。この接合を接合部41とする。

【0056】 n^- 型シリコン単結晶領域39の幅としては、例えば、 $2\sim 4\mu\text{m}$ である。 n^- 型シリコン単結晶領域39の n 型不純物濃度としては、例えば、 $1\text{E}15\sim 1\text{E}16/\text{cm}^3$ である。 n^- 型シリコン単結晶領域39の寸法および n 型不純物濃度は、 n^- 型シリコン単結晶領域39を完全空乏化できる数値が選択される。

【0057】縦型MOS電界効果トランジスタ1によれば、次の二つの効果が生じる。一つ目から説明する。先程説明したように、耐圧向上のためには完全空乏化が望ましい。縦型MOS電界効果トランジスタ3は、接合部41を備えている。接合部41からも空乏層が広がるので、 p^- 型シリコン単結晶領域17の完全空乏化が容易となる。また、 n^- 型シリコン単結晶領域39中の n 型不純物濃度は低いので、 n^- 型シリコン単結晶領域39自体にも、空乏層が広まりやすい。よって、 n^- 型シリコン単結晶領域39の完全空乏化も容易となる。

【0058】次に、二つ目を説明する。 n^- 型シリコン単結晶領域39はドリフト領域として機能する。その分だけ、ドリフト領域の面積が広がる。よって、ON抵抗を下げる事が可能となる。

【0059】{デバイス性能のシミュレーション} 縦型MOS電界効果トランジスタ3は、高耐圧でありながら、ON動作時の抵抗が小さいことを、シミュレーションにより確認した。まず、シミュレーションの対象となる縦型MOS電界効果トランジスタ3の条件を、図6を用いながら説明する。図6は、縦型MOS電界効果トランジスタ3の断面の一部である。

【0060】

n^+ 型ドリフト領域21の n 型不純物濃度： $1\times 10^{17}/\text{cm}^3$

n^+ 型ドリフト領域21の幅： $0.3\mu\text{m}$

n^+ 型ドリフト領域21の深さ： $16.5\mu\text{m}$

p^- 型シリコン単結晶領域17の p 型不純物濃度： $1\times 10^{18}/\text{cm}^3$

p^- 型シリコン単結晶領域17の幅： $1.2\mu\text{m}$

p^- 型シリコン単結晶領域17の深さ： $12.5\mu\text{m}$

n^- 型シリコン単結晶領域39の n 型不純物濃度： $1\times 10^{15}/\text{cm}^3$

n^- 型シリコン単結晶領域39の幅： $1.2\mu\text{m}$

n^- 型シリコン単結晶領域39の深さ： $4\mu\text{m}$

シリコン酸化層29aの厚み： $1\mu\text{m}$

シリコン酸化層29bの厚み： $0.1\mu\text{m}$

上記条件は、縦型MOS電界効果トランジスタ3の耐圧が 200V 程度となり、かつ n^+ 型ドリフト領域21、 n^- 型シリコン単結晶領域39および p^- 型シリコン単結晶領域17が完全空乏化(つまり、Reduced Surface Field分布)できる条件である。

【0061】なお、シリコン酸化層29aの厚みは、ドレイン電圧が200Vでもシリコン酸化層29aが絶縁破壊しない値を選んだ。また、シリコン酸化層29bの厚みは、縦型MOS電界効果トランジスタ3が所望の立ち上がり電圧(約1V)を得られるような値を選んだ。

【0062】上記条件の下で、縦型MOS電界効果トランジスタ3の耐圧特性(ドレイン電圧 V_D とドレイン電流 I_D との関係)のシミュレーションをした。その結果を図7のグラフに示す。なお、ゲート電圧などの条件は次のとおりである。

【0063】

ゲート電圧: 0V

ドレイン電圧: 0~250Vの範囲において、0.2Vづつ電圧を上昇

ソース電圧: 0V

ボディ電圧: 0V

図7のグラフから分かるように、ドレイン電圧 V_D が215Vで、縦型MOS電界効果トランジスタ3はブレイクダウンしている。よって、上記縦型MOS電界効果トランジスタ3の条件によれば、耐圧が215Vであることが分かる。

【0064】次に、縦型MOS電界効果トランジスタ3のゲート電圧 V_G とドレイン電流 I_D との関係のシミュレーションをした。その結果を図8のグラフに示す。なお、ゲート電圧などの条件は次のとおりである。

【0065】

ゲート電圧: 0~20Vの範囲において、0.05Vづつ電圧を上昇

ドレイン電圧: 0.1V

ソース電圧: 0V

ボディ電圧: 0V

図8に示すグラフから、 $V_G=10V$ のもとにおける縦型MOS電界効果トランジスタ3のON抵抗(R_{ON})を計算すると、 $0.178\Omega\cdot\text{mm}^2$ となる。計算式は、次のとおりである。

【0066】 $R_{ON} = (V_D / I_D) \times \text{セルサイズ}$

ここで、

V_D : 0.1V

I_D : $V_G=10V$ の時の値

セルサイズ: 図6では $3\mu\text{m}$

次に、この結果とシリコンリミットとの関係を説明する。図9は、シリコンリミットを示すグラフである。横軸は、ブレイクダウン電圧 V_B である。縦軸は、ON動作時の抵抗 R_{ON} である。シリコンリミットとは、「POWER MOSFETS Theory and Applications」(発行John Wiley & Sons社、著者D. A. Grant)で記述されているように、耐圧によって一義的に決まるON抵抗の最小値である。図9から分かるように、ブレイクダウン電圧の上昇に伴い、ON抵抗は上昇する。

【0067】図9のグラフ中の点Aは、上記実験例結果を示している。シリコンリミットでは、ブレイクダウン電圧が215Vのとき、ON抵抗は、 $0.4\Omega\cdot\text{mm}^2$ となる。これに対して、縦型MOS電界効果トランジスタ3によれば、ブレイクダウン電圧が215Vのとき、ON抵抗は、 $0.178\Omega\cdot\text{mm}^2$ となる。つまり、 $1/2$ 以下となっている。したがって、縦型MOS電界効果トランジスタ3は、高耐圧でありながら、ON抵抗は小さいことが分かる。

10 【0068】このように、縦型MOS電界効果トランジスタ3によれば、シリコンリミットを越えた性能が得られる。

【0069】次に、縦型MOS電界効果トランジスタ3の電位分布をシミュレーションした。図10は、OFF動作時において、ドレイン電圧が200Vにおける縦型MOS電界効果トランジスタ3の電位分布を示す図である。

20 【0070】図10に示すよう空乏層エッジが形成されていることから、 p^- 型シリコン単結晶領域17、 n^+ 型ドリフト領域21および n^- 型シリコン単結晶領域39の領域が完全空乏化していることが分かる。また、等電位線がほぼ均一の間隔で分布していることが分かる。

30 【0071】【その他】第1および第2実施形態にかかる縦型MOS電界効果トランジスタ1、3では、シリコン酸化層29aを用いている。シリコン酸化層29aのかわりに高誘電体絶縁層を用いることにより、ON抵抗のさらなる低減が図れる。高誘電体絶縁層としては、例えば、シリコン窒化層、STO(SrTiO_3)層、BST(BaSrTiO_3)層がある。STO層やBST層のように、誘電率が高い物質を用いた場合、図1および図2に示す n^+ 型ドリフト領域21に、よりキャリア濃度の高い蓄積層が形成可能となる。これにより、ON抵抗をさらに低下させることができる。

【0072】これを具体的に説明する。STO層やBST層で実現可能な比誘電率として、100を設定し、他の条件は変えずに、シミュレーションからON抵抗(R_{ON})を求めると、 $0.113\Omega\cdot\text{mm}^2$ となった。これからも分かるように、高誘電体絶縁層を用いることにより、ON抵抗がさらに低下する。

40 【図面の簡単な説明】

【図1】本発明の第1実施形態にかかる縦型MOS電界効果トランジスタ1の断面図である。

【図2】本発明の第2実施形態にかかる縦型MOS電界効果トランジスタ3の断面図である。

【図3】本発明の第1実施形態にかかる縦型MOS電界効果トランジスタ1の製造工程を説明するための工程図である。

50 【図4】本発明の第1実施形態にかかる縦型MOS電界効果トランジスタ1の製造工程を説明するための工程図である。

11

12

【図5】本発明の第1実施形態にかかる縦型MOS電界効果トランジスタ1の製造工程を説明するための工程図である。

【図6】本発明の第2実施形態にかかる縦型MOS電界効果トランジスタ3の部分断面図である。

【図7】本発明の第2実施形態にかかる縦型MOS電界効果トランジスタ3のドレイン電圧とドレイン電流との関係をシミュレーションし、その結果を表したグラフである。

【図8】本発明の第2実施形態にかかる縦型MOS電界効果トランジスタ3のゲート電圧とドレイン電流との関係をシミュレーションし、その結果を表したグラフである。

【図9】シリコンリミットを示すグラフである。

【図10】本発明の第2実施形態にかかる縦型MOS電界効果トランジスタ3の電位分布のシミュレーションを示す図である。

【符号の説明】

1、3 縦型MOS電界効果トランジスタ

11、11a、11b 埋め込み電極

13a、13b n⁺型ソース領域

15 n⁺型ドレイン領域

17 p⁺型シリコン単結晶領域

19 トレンチ

21 n⁺型ドリフト領域

23 接合部

25 p型ボディ領域

27 p⁺型ボディコンタクト領域

29、29a、29b シリコン酸化層

31 領域

33 シリコン酸化層

35 n⁺型ポリシリコン層

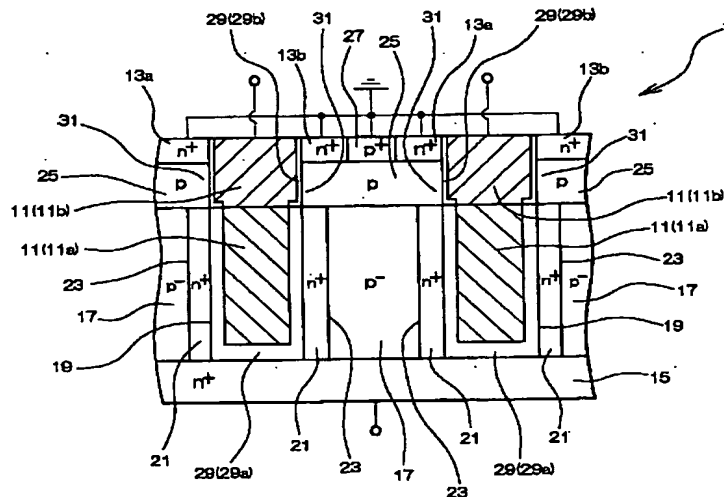
37 ポリシリコン層

39 n⁺型シリコン単結晶領域

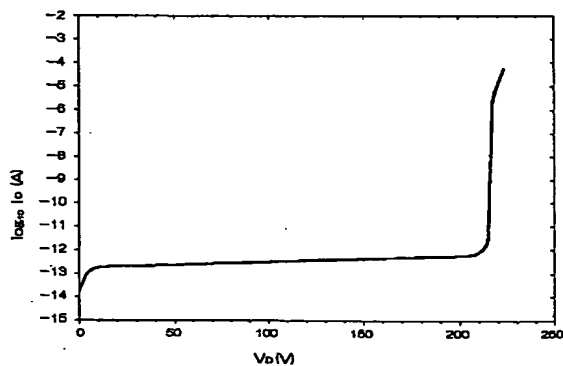
41 接合部

43 等電位線

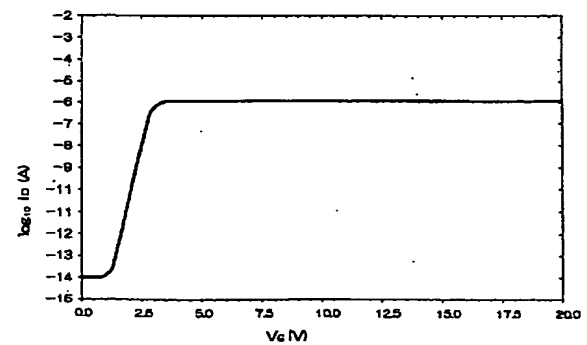
【図1】



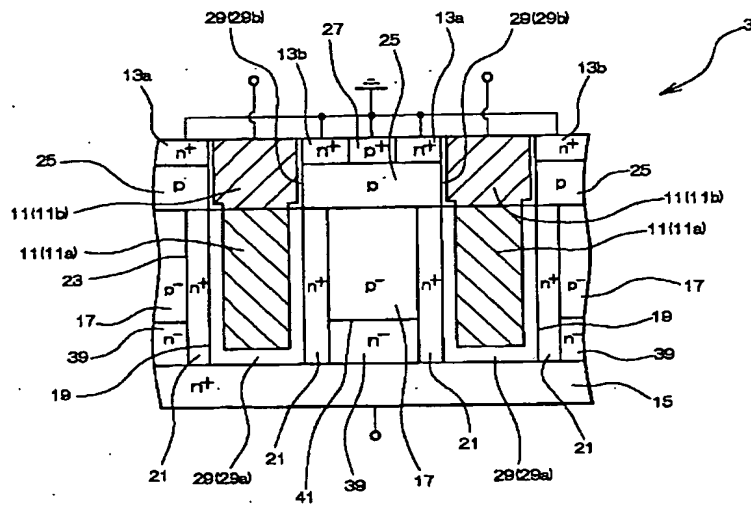
【図7】



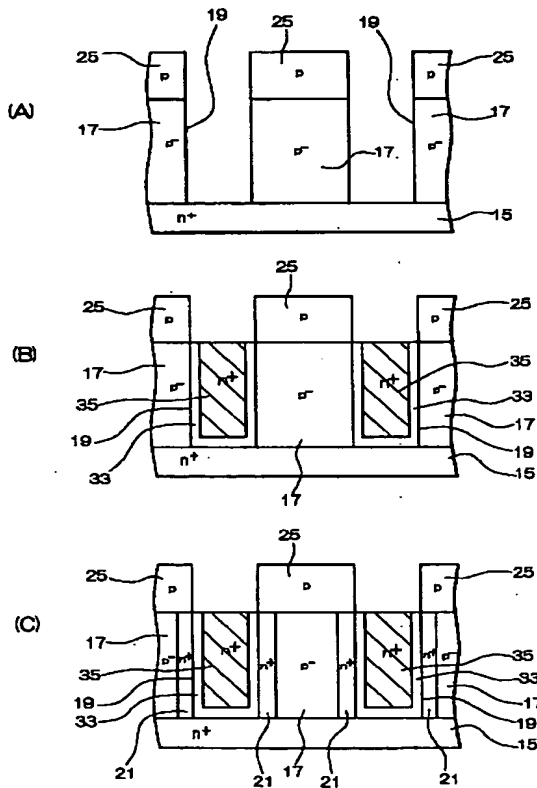
【図8】



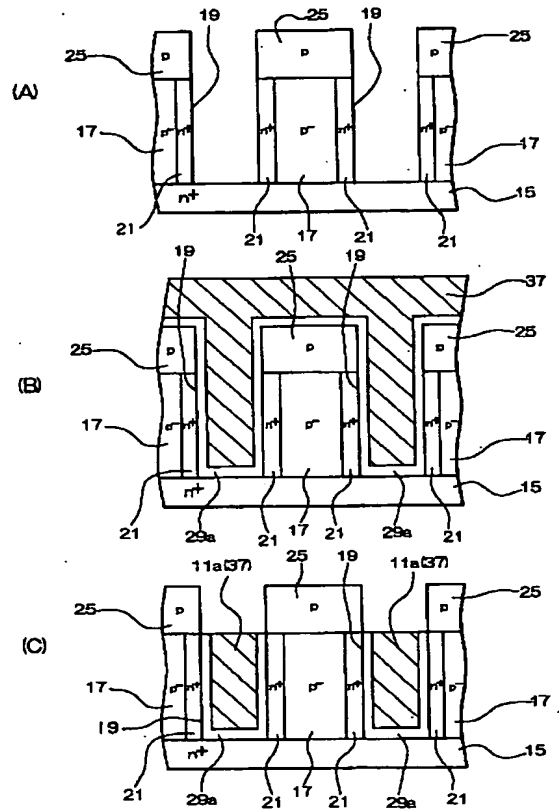
【図 2】



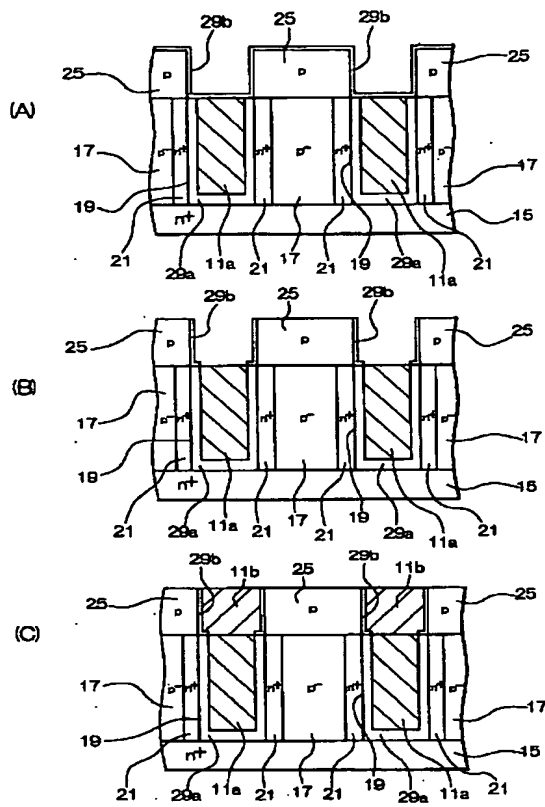
【図 3】



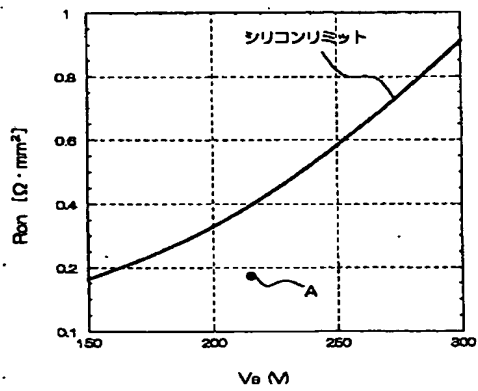
【図 4】



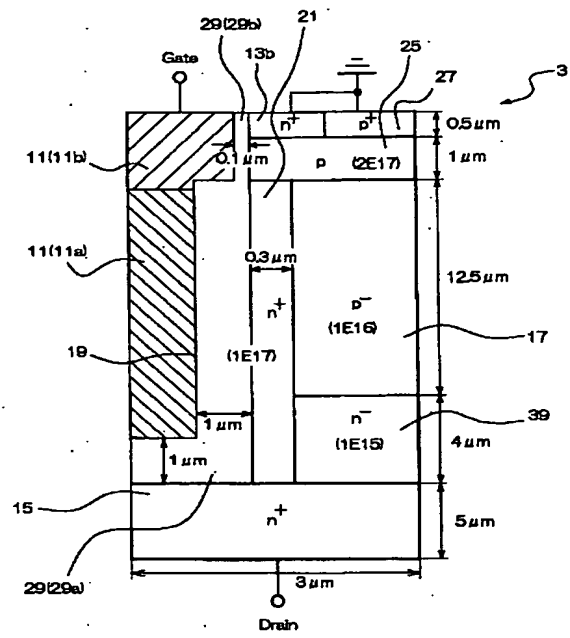
【図 5】



【図 9】



【図 6】



【図 10】

